

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-133452

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.⁸

識別記号

F I

G 0 2 F 1/1345

G 0 2 F 1/1345

1/136

5 0 0

1/136

5 0 0

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 D

21/336

審査請求 有 請求項の数12 O L (全 9 頁)

(21) 出願番号

特願平9-295208

(22) 出願日

平成9年(1997)10月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤田 明

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 杉谷 長英

東京都港区芝五丁目7番1号 日本電気株式会社内

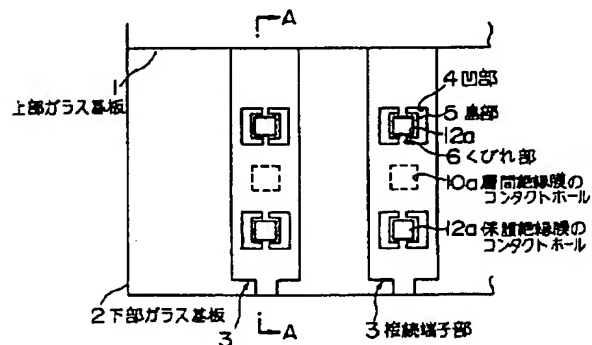
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 半導体デバイスおよびその製造方法

(57) 【要約】

【課題】 アクティブマトリクス形表示方式半導体デバイスである特にLCDパネルの接続端子部において、高湿度環境下でも金属配線の腐食による端子間リークによる短絡発生を抑え、信頼性を高められるようにする。

【解決手段】 下部ガラス基板2から引き出されて外部駆動用LSI等に接続するための接続端子部3において、この上層金属配線に端子間短絡防止パターンを形成する。この端子間短絡防止パターンは凹部4と島部5よりなり、島部5上に保護絶縁膜のコンタクトホール12aが位置するように形成される。保護絶縁膜は高吸湿性を有し、外部からの湿気浸入を防止するに有効である。島部5に腐食が生じた場合、腐食進行はそれを取り囲む凹部4で遮断され、せいぜい島部5のみの腐食に止める。すなわち、島部5から溶出した金属イオンが外部に流出せず、端子間リークによる短絡発生を抑える。



【特許請求の範囲】

【請求項1】外部駆動回路に接続して画素電極に電圧を印加するために、基板から引き出された金属配線よりなる複数の接続端子部を有する半導体デバイスにおいて、前記接続端子部の金属配線に島部とこれを取り囲む凹部よりなる端子間短絡防止パターンを設け、前記島部の少なくとも一部を除いて前記凹部の内部を含む前記金属配線の表面を保護絶縁膜によって覆い、この保護絶縁膜で覆われない部分の前記島部上がコンタクトホールとなっており、コンタクトホールの内面と島部の上面を含む前記保護絶縁膜の表面に透明導電膜を堆積してなっていることを特徴とする半導体デバイス。

【請求項2】前記接続端子部の金属配線に設けた前記島部に発生した腐食の進行を前記凹部によって遮断して、前記島部のみで腐食が収束できるように構成してなっていることを特徴とする請求項1に記載の半導体デバイス。

【請求項3】前記接続端子部以外の表示部を形成する前記基板の金属配線に接続させてマトリクス電極、複数の画素電極、これら画素電極に対応する能動スイッチング素子を配置し、この能動スイッチング素子をマトリクス駆動させることによって対応する画素電極がスイッチ動作可能となっており、前記基板に対向して貼り合わせた他の基板との間の電極領域に液晶が注入されているアクティブマトリクス形表示方式の液晶表示パネルであることを特徴とする請求項1または2に記載の半導体デバイス。

【請求項4】前記能動スイッチング素子が薄膜トランジスタであることを特徴とする請求項3に記載の半導体デバイス。

【請求項5】外部駆動回路に接続して画素電極に電圧を印加するために、基板から引き出された金属配線よりなる複数の接続端子部を有する半導体デバイスにおいて、前記接続端子部の金属配線に島部とこれを取り囲む凹部よりなる端子間短絡防止パターンを設け、前記島部の少なくとも一部を除いて前記凹部の内部を含む前記金属配線の表面を保護絶縁膜によって覆い、保護絶縁膜で覆われない部分の前記島部上をコンタクトホールとするとともに、このコンタクトホールに隣接する部分の前記保護絶縁膜に前記凹部に達する有底のプール部を設けて、それらコンタクトホールおよび有底プール部の各孔面を含む前記保護絶縁膜の表面に透明導電膜を堆積してなっていることを特徴とする半導体デバイス。

【請求項6】前記金属配線に設けた前記島部に発生した腐食の進行を前記凹部と前記有底プール部によって遮断して、前記島部とさらに前記有底プール部で腐食が収束できるように構成してなっていることを特徴とする請求項5に記載の半導体デバイス。

【請求項7】前記接続端子部以外の表示部を形成する前記基板の金属配線に接続させてマトリクス電極、複数の

画素電極、これら画素電極に対応する能動スイッチング素子を配置し、この能動スイッチング素子をマトリクス駆動させることによって対応する画素電極がスイッチ動作可能となっており、前記基板に対向して貼り合わせた他の基板との間の電極領域に液晶が注入されているアクティブマトリクス形表示方式の液晶表示パネルであることを特徴とする請求項5または6に記載の半導体デバイス。

【請求項8】前記能動スイッチング素子が薄膜トランジスタであることを特徴とする請求項7に記載の半導体デバイス。

【請求項9】外部駆動回路に接続して画素電極に電圧印加するために、基板から引き出された金属配線よりなる複数の接続端子部を有する半導体デバイスにおいて、前記接続端子部の金属配線が、層間絶縁膜を介在させた下層金属配線および上層金属配線よりなり、それら上下層金属配線の双方の同位置に島部とこれを取り囲む凹部よりなる端子間短絡防止パターンを設け、前記島部の少なくとも一部を除き、前記凹部の内部を含む前記金属配線の表面を保護絶縁膜によって覆い、この保護絶縁膜で覆われない部分の前記島部上がコンタクトホールとなっており、コンタクトホールの内面と島部の上面を含む前記保護絶縁膜の表面に透明導電膜を堆積してなっていることを特徴とする半導体デバイス。

【請求項10】外部駆動回路に接続して画素電極に電圧を印加するために、基板から引き出された金属配線よりなる複数の接続端子部を有する半導体デバイスの製造方法において、

前記基板に蒸着法またはスパッタ法で金属膜を堆積させてパターンニングを行うことにより前記金属配線を形成し、

この金属配線の前記接続端子部となる部分に、島部とこれを取り囲む凹部よりなる端子間短絡防止パターンを形成し、

前記島部の少なくとも一部を除き、前記凹部の内部を含む前記金属配線の表面に保護絶縁膜を成膜し、

この保護絶縁膜で覆われない部分の前記島部上をコンタクトホールとするとともに、このコンタクトホールの内面と前記島部の上面を含む前記保護絶縁膜の表面に透明導電膜を堆積する、ことを特徴とする半導体デバイスの製造方法。

【請求項11】外部駆動回路に接続して画素電極に電圧を印加するために、基板から引き出された金属配線よりなる複数の接続端子部を有する半導体デバイスの製造方法において、

前記基板に蒸着法またはスパッタ法で金属膜を堆積させてパターンニングを行うことにより前記金属配線を形成し、

この金属配線の前記接続端子部となる部分に、島部とこれを取り囲む凹部よりなる端子間短絡防止パターンを形

成し、
前記島部の少なくとも一部を除き、前記凹部の内部を含む前記金属配線の表面に保護絶縁膜を成膜し、
この保護絶縁膜で覆われない部分の前記島部上をコンタクトホールとするとともに、
このコンタクトホールに隣接する部分の前記保護絶縁膜に前記凹部に達する有底のブール部を形成し、
それらコンタクトホールおよび有底ブール部の各孔面を含む前記保護絶縁膜の表面に透明導電膜を堆積する、ことを特徴とする半導体デバイス。

【請求項 1 2】外部駆動回路に接続して画素電極に電圧を印加するために、ガラス基板から引き出された金属配線よりなる複数の接続端子部を有する半導体デバイスの製造方法において、
前記ガラス基板に層間絶縁膜をスパッタリングして成膜する工程、
その上に金属膜を蒸着またはスパッタリングして成膜する工程、
金属膜をガラス基板の表示部となる中央部にマトリクス状の電極となるようエッチングして形成する工程、
同時にガラス基板の周辺部には、中央部に成膜された電極とつながって凹部と島部とこれら両部をつなぐびれ部よりなる端子間短絡防止パターンを有する前記接続端子部を形成する工程、
次に、保護絶縁膜を蒸着またはスパッタリングして成膜する工程、
前記接続端子部の島部上に成膜された前記保護絶縁膜と前記凹部に成膜された保護絶縁膜と層間絶縁膜を同時にエッチング除去する工程、
次に、透明導電膜を蒸着またはスパッタリングして成膜する工程、
その透明導電膜を前記接続端子部の形状にエッチングして形成する工程、よりなる半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス形表示デバイスを用いたカラー LCD（液晶表示装置）等の半導体デバイスおよびその製造方法に関し、特に外部駆動回路に接続する部分の引き出し配線端子構造を改良した半導体デバイスおよびその製造方法に関するものである。

【0002】

【従来の技術】アクティブマトリクス形表示方式の LCD は、フルカラー表示、高コントラストおよび高精細化が実現できる。

【0003】この表示方式は、片方の電極基板の内向面にマトリクス電極と複数の画素電極を形成し、各画素電極ごとに能動スイッチング素子として薄膜トランジスタ（TFT: Thin Film Transistor）等が配置されている。この TFT をマトリクス駆動し、TFT を介してそ

れぞれの画素電極をスイッチする。

【0004】TFT による各スイッチング素子をマトリクス駆動するには、各スイッチング素子を外部駆動回路の LSI 等に接続する必要がある。TFT スwitchング素子によるマトリクス電極配線を液晶パネル基板から引き出し配線した部分の接続端子は、化学的に安定した ITO（Indium Tin Oxide）よりなる透明導電膜で被覆している。

【0005】図 1 1 および図 1 2 は、そうした端子部の従来構造の一例を示す平面図と、この図の A-A 線からの側面断面図である。

【0006】上下部の 2 枚のガラス基板 1、2 間において、駆動用 LSI 側の接続素子との接続面には透明導電膜 3 0 が成膜され、その下に金属配線 1 1 が形成されている。この場合、高湿度の環境下では、金属上に形成された透明導電膜が、ポーラスで湿気の浸入を遮断する効果が低いこともあり、その浸入した湿気により金属がイオン化し易い。その結果、金属腐食が発生して端子間に流出し、端子間リーク不良が発生するといった問題がある。

【0007】この問題に対処するために、本願出願人によって先に提案された特開平 8 - 6 0 5 9 号公報に記載のアクティブマトリクス基板においては、無機保護皮膜またはこの端子部に接続される接続部材で保護されない部分の金属配線を除去している。

【0008】

【発明が解決しようとする課題】しかしながら、係る公報に記載の技術の場合、以下のような未解決の問題点がある。1 つは、可塑性配線基板との接続部である上層金属配線に腐食が生じると、端子間リーク不良が発生することである。つまり、一般には、可塑性配線基板との接続部の上層金属配線は、異方性導電フィルムを介してテープキャリアパッケージ方式により接続されて被覆されている。ところが、その異方性導電フィルム自体ある程度の吸湿性を保有しているため、浸入した水分と金属が反応することと、異方性導電フィルムまたは可塑性配線基板のいずれか一方に塩素等の不純物イオンが付着している場合は、その付着不純物イオンと金属が反応してしまう。その結果、金属腐食が発生し、端子間に腐食金属が流れ出し、端子間リークを引き起こすのである。

【0009】したがって、本発明の目的は、高湿度の環境下においても端子間リークによる短絡の発生を抑えることが可能な特にアクティブマトリクス形表示方式液晶表示パネル等の半導体デバイスおよびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体デバイスは、外部駆動回路に接続して画素電極に電圧を印加するために、基板から引き出された金属配線よりなる複数の接続端子部を有する例えばアクティブマトリクス形表示

方式による液晶表示パネルにおいて、前記接続端子部の金属配線に島部とこれを取り囲む凹部よりなる端子間短絡防止パターンを設け、前記島部の少なくとも一部を除いて前記凹部の内部を含む前記金属配線の表面を保護絶縁膜によって覆い、この保護絶縁膜で覆われない部分の前記島部上がコンタクトホールとなっており、コンタクトホールの内面と島部の上面を含む前記保護絶縁膜の表面に透明導電膜を堆積してなっている。

【0011】この場合、前記接続端子部の金属配線に設けた前記島部に発生した腐食の進行を前記凹部によって遮断して、前記島部のみで腐食が収束できるものである。

【0012】アクティブマトリクス形表示方式では、前記接続端子部以外の表示部を形成する前記基板の金属配線に接続させてマトリクス電極、複数の画素電極、これら画素電極に対応するTFT（薄膜トランジスタ）による能動スイッチング素子を配置し、このTFTをマトリクス駆動させることによって対応する画素電極がスイッチ動作可能となっており、前記基板に対向して貼り合わせた他の基板との間の電極領域に液晶が注入されている。

【0013】以上の構成により、湿気の浸入を遮断するに有効な保護絶縁膜で被覆されていない部分の接続端子部の金属配線は端子間短絡防止パターンの島部としているので、この島部の部分に腐食が発生しても、その他の部分の金属膜による金属配線は保護絶縁膜で被覆されているから、腐食は島部を取り囲む凹部で進行を遮断され、島部の溶出した金属も凹部に収まって外部に流出せず、端子間リークの発生を抑制する。

【0014】

【発明の実施の形態】以下、本発明による半導体デバイスの好適実施の形態である液晶表示パネルおよびその製造方法について、図面を参照して詳細に説明する。

【0015】図1～図6は、第1実施の形態による液晶表示パネルを示している。図1は組立斜視図、図2は接続端子を示す平面図、図3は図2のA-A線からの断面図である。図4は、本実施の形態を説明する理解のために周知のTFTによる画素電極部を示す断面図である。

【0016】液晶表示パネルの構成は、後段本発明の製造方法によって明らかになるので、ここでは概略的な説明にとどめる。図1に示すように、上下部のガラス基板1、2を有し、それら上下2枚のガラス基板は互いに封止樹脂によって貼り合わされ、基板間に液晶を封入することによって液晶セルが形成される。アクティブマトリクス形表示電極としてパターン形成された金属配線による接続端子3がパネル周辺に引き出され、駆動用LSI等の接続素子に接続される。

【0017】次に、この液晶表示パネルにおいて、上部ガラス基板1外に引き出し配線された接続端子3の製造方法について、図2のA-A線からの断面で示す図5の

製造工程図を中心に、図1他の各図を参照して説明する。

【0018】図5(a)に示すように、まず、下部ガラス基板2上に、スパッタ法によってCr（クロム）を2000オングストローム（Å）の膜厚に堆積し、これをパターンニングして下層金属配線9を形成する。この下層金属配線9は、図4に示すTFT部ではゲート電極9aを形成する。

【0019】次に、プラズマCVD法（化学気相法：Chemical Vapor Deposition）により、下層金属配線9上にシリコン酸化膜とシリコン窒化膜とによる複合膜として合計膜厚5000Åを堆積し、層間絶縁膜（パッシベーション）10を形成する（図5-b）。

【0020】このとき、図4に示すTFT形成部では、同一CVD装置内においてアモルファスシリコン（a-Si）を堆積し、ノンドープのa-Si膜16を2000Åの膜厚に、そしてn⁺型a-Si膜17を200Åの膜厚にそれぞれ成長させる。続いて、このTFT形成部にa-Si膜が島状に残るようにパターン形成する。パターンニングで島状に残されたa-Si膜の下方の層間絶縁膜10はゲート絶縁膜として機能する。

【0021】一方、先の図5(b)においては、接続端子3の製造工程に係り、堆積れた上記層間絶縁膜10にパターン形成を行い、下層金属配線9と次工程（図5-c参照）で形成する上層金属配線11との接続箇所となる部分に、コンタクトホール10aを形成する。

【0022】次工程の図5(c)に示すように、形成したコンタクトホール10aを覆うようにして、層間絶縁膜10上にCrによる上層金属配線11が形成される。すなわち、Crをスパッタ法によって2000Åの膜厚に堆積し、パターンニングを行ってコンタクトホール10aを通して上記下層金属配線9に電気的に接続する上層金属配線11を形成する。

【0023】上層金属配線11は、図4のTFT形成部において、ドレイン電極11bおよびソース電極11cを形成し、TFT形成部以外の表示部では、アクティブマトリクス形表示デバイスのデータ信号配線11aを形成する。

【0024】そこで、この図5(c)においては、本発明による接続端子3を製造する要旨工程として、上層金属配線11に、凹部4と島部5よりなる端子間短絡防止パターンが形成される。これは、図2の端子部平面図で明らかなように、次工程で保護絶縁膜12に形成されるコンタクトホール12a（図5-d参照）の下部に位置するように島部5が形成され、この島部5を取り囲み部分を凹部4としてパターン形成している。凹部4と島部5を繋ぐ部分はくびれ部6となっている。

【0025】したがって、次の図5(d)の工程においては、凹部4と島部5よりなる端子間短絡防止パターンを形成済みの上層金属配線11を覆うようにして、プラ

プラズマCVD法により膜厚約2000Åのシリコン窒化膜を堆積して保護絶縁膜12を形成する。この保護絶縁膜12にパターニングを行い、上層金属配線11と次工程で形成する透明導電膜13(図5-e参照)との接続個所にコンタクトホール12aを形成する。

【0026】このコンタクトホール12aは、上層金属配線11に設けた島部5上に位置を合わせて形成され、そのコンタクトホール12aを凹部4に取り囲む形となっている。

【0027】次の図5(e)の工程では、その保護絶縁膜12に設けたコンタクトホール12aを覆うようにして、保護絶縁膜12上にスパッタ法によりITOよりなる透明導電膜13が400Åの膜厚に成膜される。図2は、透明導電膜13が形成されたここまでの工程の接続端子3を平面からみた図であり、図2中の実線12aが保護絶縁膜12に設けたコンタクトホール、破線10aが層間絶縁膜10に設けたコンタクトホールであることは理解されよう。

【0028】その際、表示部においては、図4のTFT形成部に示すように、透明導電膜13はソース電極11cに接続する画素電極13aとしてパターン形成される。

【0029】以上の工程により、接続端子3を形成した下部ガラス基板2が作成される。これに続いて、図3に示すように、下部ガラス基板2と上部ガラス基板1とを封止樹脂15により貼り合わせ、2枚の上下ガラス基板1、2間に液晶14を注入して、図示のように、上部ガラス基板1の周辺に複数の接続端子3が引き出された形の第1実施の形態による液晶表示パネルが作成される。

【0030】すなわち、係る第1実施の形態において、上層金属配線11としては、端子間短絡防止パターンの島部5を除いたその他の全面が保護絶縁膜12によって覆われている。この保護絶縁膜12はほとんど湿気を通さないため、それにより被覆した部分の上層金属配線11が腐食することはない。

【0031】ところで、保護絶縁膜12で被覆されない部分の上層金属配線11の島部5は、透明導電膜13によって被覆されてはいるが、この透明導電膜13の防湿機能はあまり高くない。そのため、島部5に腐食発生の可能性はあっても、その島部5の腐食のみで収束し、その他の部分の上層金属配線11にまで腐食が拡大することはない。結果、そうした腐食防止効果により、接続端子3からはみ出す金属イオンの量も減り、従来のこの種構造と比べて端子間リークによる短絡発生の確率は大幅に減少する。

【0032】一方、上層金属配線11の端子間短絡防止パターンに島部5を取り囲む凹部4を設けたことで、その分配線抵抗が上昇する。しかし、その問題は、層間絶縁膜10に設けたコンタクトホール10aを通して上層金属配線11を下層金属配線9に導通させることで解消

し、克服できるものである。

【0033】また、第1実施の形態の液晶表示パネルを用いてLCDを設計し、効果を確認したところ、以下のような結果が得られた。

【0034】図6は、接続端子3に設けた上層金属配線11の島部5の周辺実寸法を設定したものである。接続端子3の端子間ピッチを70μmとし、端子幅を40μmとした。係る接続端子3の上層金属配線11に8個の島部5が形成されるよう、端子間短絡防止パターンを形成した。

【0035】このように作成した接続端子3の端子部を手で触指し、わざわざ端子を汚染した後、駆動用LSI側の接続素子を異方性導電フィルムにより圧接接続し、50℃で85%の環境にて実動作させた。投入後、240時間経過した後、従来品として供試された液晶表示パネルの場合、供試サンプル数10個のうち、8個という高率で端子間ショートが発生した。それに対して、本発明の第1実施の形態による液晶表示パネルの場合、不具合の発生が皆無といった好結果を得ることができた。

【0036】次に、図7および図8において、図2のA-A線からの断面による本発明の第2実施の形態について説明する。図7は、第1の実施の形態による図3の端子部断面構造に対応する図であり、図8はその端子部構造の製造工程図である。なお、TFT形成部の工程は、上記第1の実施の形態の場合と同一であるので、重複した説明は省略する。

【0037】まず、図8(a)に示す工程において、下部ガラス基板2上にスパッタ法によってCrを2000Åの膜厚に堆積し、これをパターニングして下層金属配線9を形成する。

【0038】次に、図8(b)のように、プラズマCVD法により、シリコン酸化膜とシリコン窒化膜とによる複合膜として層間絶縁膜10を合計膜厚5000Åに堆積して成膜する。続いて、この層間絶縁膜10をパターニングして、下層金属配線9と次工程で形成する上層金属配線11との接続個所にコンタクトホール10aを形成する。その際、上層金属配線11に形成される島状パターンの周辺部の層間絶縁膜10が除去され、それによってプール部18を形成する。

【0039】次に、図8(c)に示す工程において、Crをスパッタ法により2000Åの膜厚に堆積し、これをパターニングして上層金属配線11を形成する。この上層金属配線11は前工程で設けたコンタクトホール10aにより下層金属配線9に電氣的に接続可能となる。

【0040】この段階で、上層金属配線11には、上記第1実施の形態で示された凹部4と島部5よりなる端子間短絡防止パターンが形成される。

【0041】次に、図8(d)のように、プラズマCVD法により、膜厚約2000Åのシリコン窒化膜を堆積して保護絶縁膜12を形成し、これをパターニングして

上層金属配線 1 1 と次工程で形成する透明導電膜 1 3 との接続個所にコンタクトホール 1 2 a を形成する。

【0042】次に、図 8 (e) のように、コンタクトホール 1 2 a を覆うようにして、スパッタ法によって ITO よりなる透明導電膜 1 3 を保護絶縁膜 1 2 上に 400 Å の膜厚に成膜する。

【0043】以上の工程により、接続端子 3 を形成した下部ガラス基板 2 が作成される。これに続いて、図 7 に示すように、下部ガラス基板 2 と上部ガラス基板 1 とを封止樹脂 1 5 により貼り合わせ、2 枚の上下ガラス基板 1、2 間に液晶 1 4 を注入して、図示のように、上部ガラス基板 1 の周辺に複数の接続端子 3 が引き出された形の第 2 実施の形態による液晶表示パネルが作成される。

【0044】この第 2 実施の形態によれば、ブルー部 1 8 が設けられているため、上記第 1 実施の形態の場合と比較すると、腐食した金属がブルー部 1 8 に捕捉されるから端子間への流出がなく、より一層端子間リークによる短絡の不具合発生を抑えることができる。

【0045】次に、図 9 および図 10 において、図 2 の A-A 線からの断面による本発明の第 3 実施の形態について説明する。図 9 は、第 1 実施の形態による図 3 の端子部断面構造に対応する図であり、図 10 はその端子部構造の製造工程図である。なお、TFT 形成部の工程は、上記第 1 の実施の形態の場合と同一であるので、重複した説明は省略する。

【0046】まず、図 10 (a) に示すように、下部ガラス基板 2 上にスパッタ法によって Cr を 2000 Å の膜厚に堆積し、これをパターンニングして下層金属配線 9 を形成する。この際、下層金属配線 9 は、絶縁膜で被覆されない未保護の部分が生じないように、後工程で形成する上層金属配線 1 1 (図 10-c 参照) と同様に凹部 4 と島部 5 よりなる端子間短絡防止パターンを形成する。

【0047】次に、図 10 (b) の工程では、プラズマ CVD 法により、シリコン酸化膜とシリコン窒化膜との複合膜として層間絶縁膜 10 を合計膜厚 5000 Å に堆積して形成する。この層間絶縁膜 10 をパターンニングして、下層金属配線 9 と次工程の上層金属配線 1 1 との接続個所となる部分にコンタクトホール 10 a を形成する。

【0048】次に、図 10 (c) に示すように、Cr をスパッタ法によって 2000 Å の膜厚に堆積する。これをパターンニングし、コンタクトホール 10 a を介して下層金属配線 9 に接続させる上層金属配線 1 1 を形成する。この上層金属配線 1 1 には、凹部 4 と島部 5 よりなる端子間短絡防止パターン部が形成される。

【0049】次に、図 10 (d) に示すように、プラズマ CVD 法によって膜厚 2000 Å のシリコン窒化膜を堆積して保護絶縁膜 1 2 を形成し、上層金属配線 1 1 と次工程で形成する透明導電膜 1 3 (図 10-e 参照) と

の接続個所になる部分にコンタクトホール 1 2 a を形成する。それと共に、上層金属配線 1 1 に形成した島部 5 の周辺にて保護絶縁膜 1 2 と共に層間絶縁膜 10 もエッチング除去し、ブルー部 1 8 を形成する。

【0050】続いて、図 10 (e) に示す工程では、スパッタ法により ITO よりなる透明導電膜 1 3 を 400 Å の膜厚に成膜し、接続端子 3 を覆うようにしてパターンニングする。

【0051】このようにして下部ガラス基板 2 を作成し、この下部ガラス基板 2 と上部ガラス基板 1 とを封止樹脂 1 5 により貼り合わせて、上下部 2 枚のガラス基板間に液晶 1 4 を注入することにより、図 9 に示す第 3 実施の形態の液晶表示パネルを作成する。

【0052】この第 3 実施の形態の液晶表示パネルにおいては、上記第 2 実施の形態の場合と比べてもブルー部 1 8 が深く、その結果、腐食した金属を十分にブルー部 1 8 に捕捉することができ、腐食金属が外部に流出せず、端子間リークによる短絡防止効果が一層倍加する。

【0053】以上、好適実施の形態として上記第 1、第 2、第 3 の三態が説明されたが、本発明の場合、それら第 1～第 3 実施の形態に限定されるものではない。他の実施の形態として、例えば上記第 1～第 3 実施の形態では下層金属配線 9 と上層金属配線 1 1 に Cr を用いたが、それに代えてアルミニウム、モリブデン、タングステン等による単一層または複合層であってもよい。また、下層金属配線 9 と上層金属配線 1 1 との金属材料は必ずしも同一でなくてもよい。さらに、層間絶縁膜 10 および保護絶縁膜 1 2 についても、上記各実施の形態で用いた材料以外で形成可能である。さらにまた、端子間短絡防止パターンの凹部 4 と島部 5 の形状や形成個数にも特に限定されない。

【0054】

【発明の効果】以上説明したように、本発明による半導体デバイスおよびその製造方法は、特にアクティブマトリクス形表示方式の LCD パネルに好適であり、湿気の侵入を遮断するに有効な保護絶縁膜で被覆されていない部分の接続端子部の金属配線は端子間短絡防止パターンの島部としているので、この島部の部分に腐食が発生しても、その他の部分の金属膜による金属配線は保護絶縁膜で被覆されているから、腐食は島部を取り囲む凹部で進行を遮断され、島部の溶出した金属も凹部に収まって外部に流出せず、端子間リークの発生を抑制するのに有効である。

【図面の簡単な説明】

【図 1】本発明による半導体デバイスである液晶表示パネルを示す組立斜視図である。

【図 2】第 1 実施の形態による接続端子部を示す拡大平面図である。

【図 3】図 2 の A-A 線断面による第 1 実施の形態を示す側面断面図である。

11

【図 4】アクティブマトリクス形表示方式による液晶表示パネルの TFT 形成部を示す断面図である。

【図 5】(a) ~ (e) は第 1 実施の形態による接続端子部の製造工程を順に示す側面断面図である。

【図 6】第 1 実施の形態の接続端子部における要部の端子間短絡防止パターンを実寸法設計した一例を示す拡大平面図である。

【図 7】本発明による第 2 実施の形態の接続端子部を示す側面断面図である。

【図 8】(a) ~ (e) は第 2 実施の形態による接続端子部の製造工程を順に示す側面断面図である。

【図 9】本発明による第 2 実施の形態の接続端子部を示す側面断面図である。

【図 10】(a) ~ (e) は第 2 実施の形態による接続端子部の製造工程を順に示す側面断面図である。

【図 11】従来の液晶表示パネルにおける接続端子部を示す拡大平面図である。

【図 12】図 11 の A-A 線断面による従来例の接続端子部の側面断面図である。

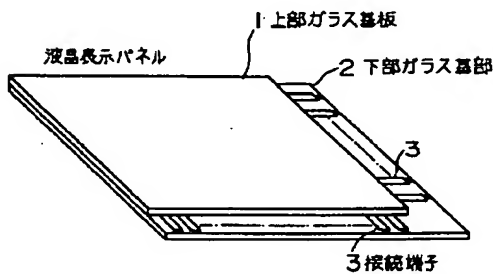
【符号の説明】

20

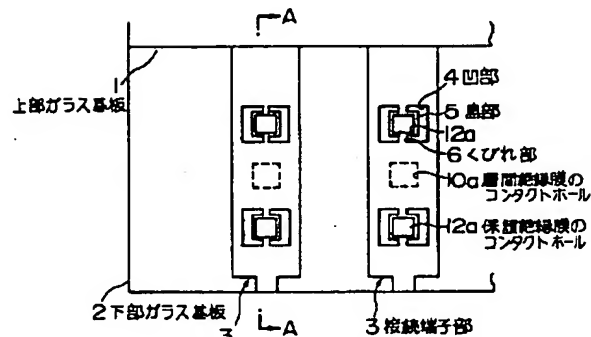
12

- 1 上部ガラス基板
- 2 下部ガラス基板
- 3 接続端子部
- 4 凹部 (端子間短絡防止パターン)
- 5 島部 (端子間短絡防止パターン)
- 6 くびれ部 (端子間短絡防止パターン)
- 9 下層金属配線
- 9 a ゲート電極
- 10 層間絶縁膜
- 10 a 層間絶縁膜のコンタクトホール
- 11 上層金属配線
- 11 a データ信号配線
- 11 b ドレイン電極
- 11 c ソース電極
- 12 保護絶縁膜
- 12 a 保護絶縁膜のコンタクトホール
- 13 ITO による透明導電膜
- 14 液晶
- 15 封止樹脂

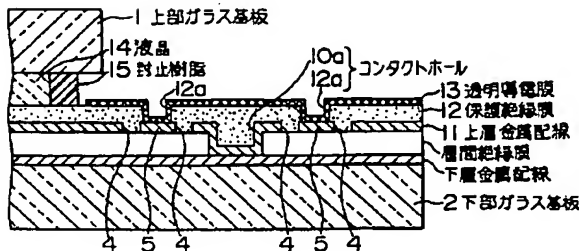
【図 1】



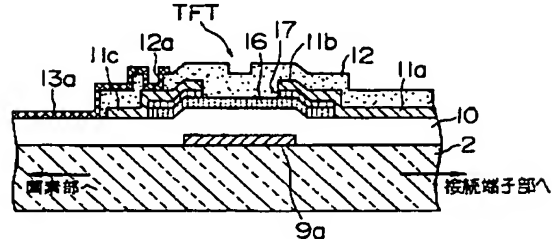
【図 2】



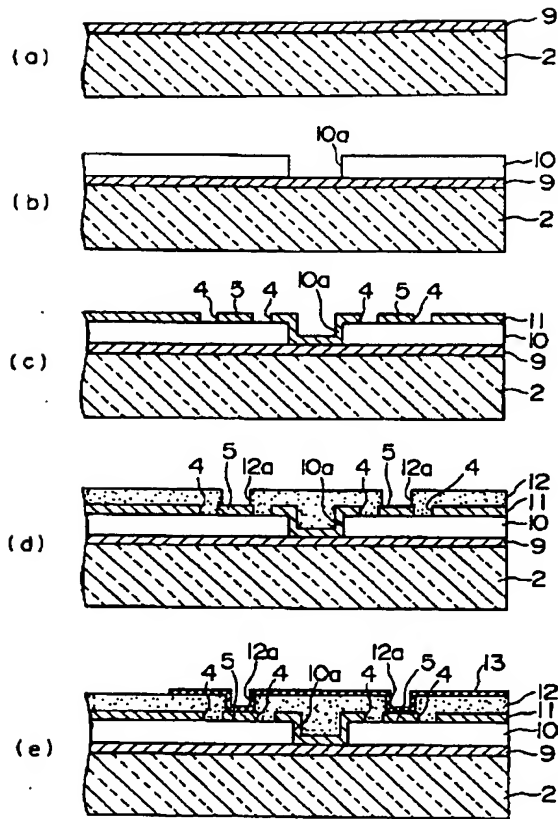
【図 3】



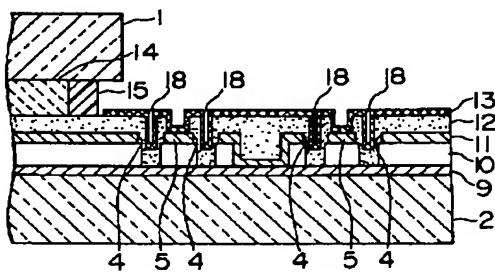
【図 4】



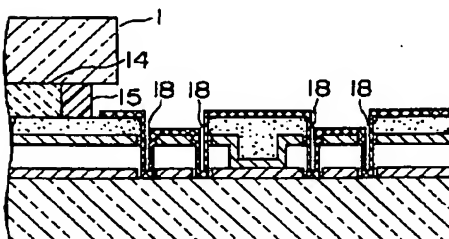
【図 5】



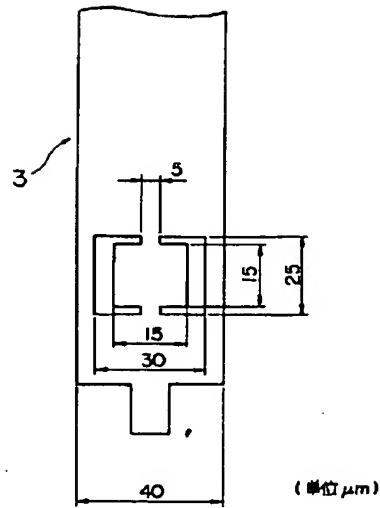
【図 7】



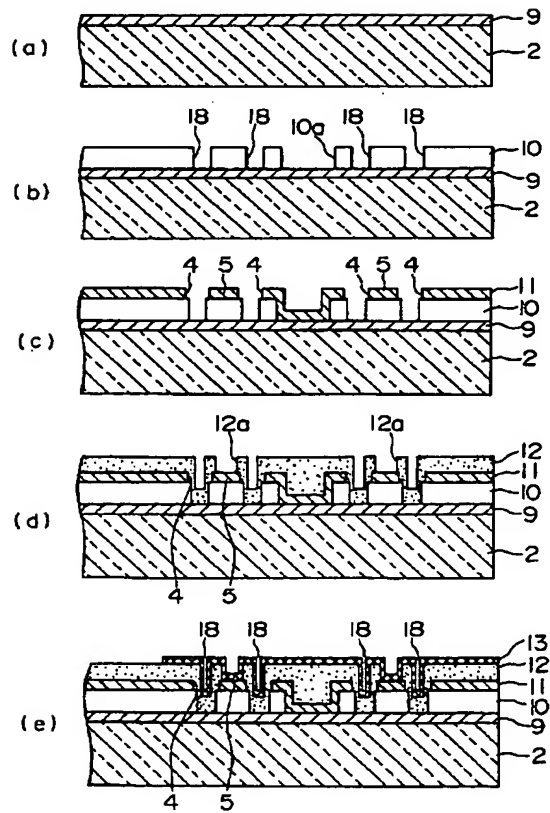
【図 9】



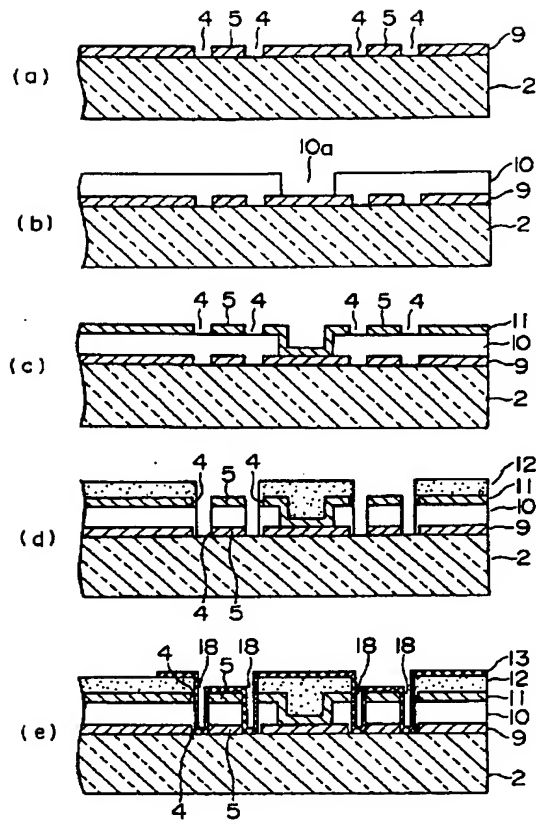
【図 6】



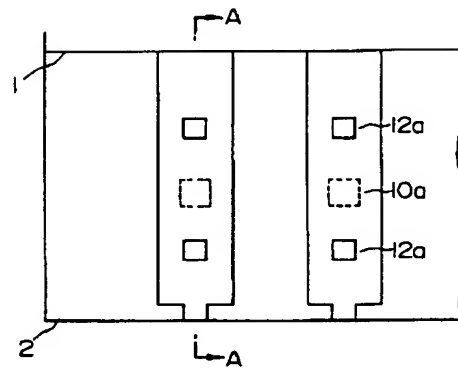
【図 8】



【図 10】



【図 11】



【図 12】

